

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-239051

(43)Date of publication of application : 31.08.1999

(51)Int.Cl.

H03K 19/0185  
G11C 11/417

(21)Application number : 09-355843

(71)Applicant : NEC CORP

(22)Date of filing : 24.12.1997

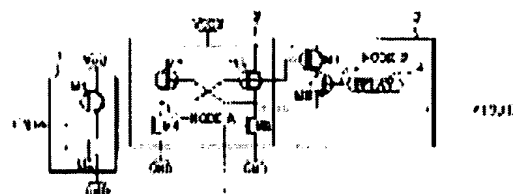
(72)Inventor : NODA KAZUMOMO

## (54) VOLTAGE CONVERSION BUFFER CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a voltage conversion buffer circuit which realizes the fast flip-flop operation of a level shifter flip-flop part for both the changes from HIGH to LOW and from LOW to HIGH of an input data signal.

**SOLUTION:** This circuit has a delay block 4, transistors M3 and M5 whose drive performance is set weakly in a level shifter flip-flop par 2 and plural transistors M7 and M8 having the same type. It is provided with a delay driving part 3 which aids the drive performance of the transistor M3 and M5 whose drive performance is weaker and aids a flip-flop operation which is set weakly owing to the unbalance and is weaker in the part 2.



## LEGAL STATUS

[Date of request for examination] 24.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3055515

[Date of registration] 14.04.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-239051

(43)公開日 平成11年(1999) 8月31日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 K 19/0185

H 0 3 K 19/00

1 0 1 E

G 1 1 C 11/417

G 1 1 C 11/34

3 0 5

審査請求 有 請求項の数 7 O L 外国語出願 (全 37 頁)

(21)出願番号 特願平9-355843

(22)出願日 平成9年(1997)12月24日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 野田 一百

東京都港区芝五丁目7番1号 日本電気株式会社内

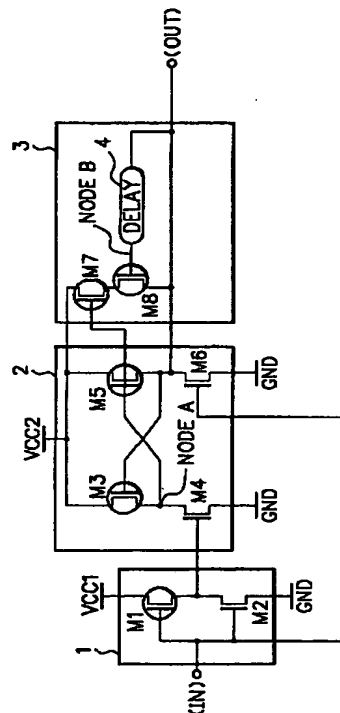
(74)代理人 弁理士 丸山 隆夫

(54)【発明の名称】 電圧変換バッファ回路

(57)【要約】

【課題】 従来の電圧変換バッファ回路においては、レベルシフターフリップフロップ部のpチャンネルMOSトランジスタとnチャンネルMOSトランジスタとの間に意図的に設定された駆動性能のアンバランスのために、出力端子における一方の信号変化が極めて低速になり、この間のON電流が大きくなるなどの課題があった。

【解決手段】 遅延ブロック4とレベルシフターフリップフロップ部2において駆動性能を弱く設定されたトランジスタM3、M5と同じ型の複数のトランジスタM7、M8とを有し、駆動性能の弱い方のトランジスタM3、M5の駆動性能を補助し、前記アンバランスによって弱く設定されたレベルシフターフリップフロップ部2の弱い方のフリップフロップ動作を補助する遅延駆動部3を備えるようにした。



## 【特許請求の範囲】

【請求項 1】 データ信号を反転する反転部と、

2 個の p チャンネルトランジスタと 2 個の n チャンネルトランジスタとを有して前記 p チャンネルトランジスタと前記 n チャンネルトランジスタとの間に駆動性能のアンバランスが導入された電流ミラーフリップフロップラッチ回路より構成され、前記データ信号と前記反転されたデータ信号とを同時に入力し、前記反転されたデータ信号の電圧レベルを変換し、そのレベル変換された反転データ信号を出力するレベルシフターフリップフロップ部と、

遅延ブロックと前記レベルシフターフリップフロップ部において駆動性能を弱く設定されたトランジスタと同じ型の複数のトランジスタとを有し、前記レベルシフターフリップフロップ部の駆動性能の弱い方のトランジスタの駆動性能を補助し、前記アンバランスによって弱く設定された前記レベルシフターフリップフロップ部の弱い方のフリップフロップ動作を補助する遅延駆動部とを備えた電圧変換バッファ回路。

【請求項 2】 前記アンバランスが、前記レベルシフターフリップフロップ部において前記 n チャンネルトランジスタの駆動性能が前記 p チャンネルトランジスタの駆動性能より強くなるように導入されており、前記レベルシフターフリップフロップ部は、そのゲートが前記反転されたデータ信号を入力し、そのソースが接地された第 1 の n チャンネルトランジスタと、

そのゲートが前記データ信号を入力し、そのソースが接地された第 2 の n チャンネルトランジスタと、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第 2 の n チャンネルトランジスタのドレインと前記電圧変換バッファ回路の出力端子とに接続され、そのドレインが前記第 1 の n チャンネルトランジスタのドレインに接続された第 1 の p チャンネルトランジスタと、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第 1 の n チャンネルトランジスタのドレインに接続され、そのドレインが前記第 2 の n チャンネルトランジスタのドレインに接続された第 2 の p チャンネルトランジスタとを有し、

前記遅延駆動部は、

そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第 2 の p チャンネルトランジスタのゲートに接続された第 3 の p チャンネルトランジスタと、

そのソースが前記第 3 の p チャンネルトランジスタのドレインに接続され、そのドレインが前記電圧変換バッファ回路の前記出力端子と前記第 2 の p チャンネルトランジスタおよび前記第 2 の n チャンネルトランジスタのド

レインに接続された第 4 の p チャンネルトランジスタと、

前記電圧変換バッファ回路の前記出力端子と前記第 4 の p チャンネルトランジスタのゲートとの間に接続され、前記レベル変換された反転データ信号を所定の遅延時間遅延させて前記第 4 の p チャンネルトランジスタのゲートに伝達する遅延ブロックとを有することを特徴とする請求項 1 記載の電圧変換バッファ回路。

【請求項 3】 前記遅延時間は、前記レベルシフターフリップフロップ部の前記弱い方のフリップフロップ動作に必要な時間より長く設定されていることを特徴とする請求項 2 記載の電圧変換バッファ回路。

【請求項 4】 前記反転部が CMOS により構成されていることを特徴とする請求項 2 記載の電圧変換バッファ回路。

【請求項 5】 前記アンバランスが、前記レベルシフターフリップフロップ部において前記 p チャンネルトランジスタの駆動性能が前記 n チャンネルトランジスタの駆動性能より強くなるように導入されており、

前記レベルシフターフリップフロップ部は、

そのゲートが前記反転されたデータ信号を入力し、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給された第 1 の p チャンネルトランジスタと、

そのゲートが前記データ信号を入力し、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給された第 2 の p チャンネルトランジスタと、

そのソースが接地され、そのドレインが前記第 1 の p チャンネルトランジスタのドレインに接続され、そのゲートが前記第 2 の p チャンネルトランジスタのドレインと前記電圧変換バッファ回路の出力端子とに接続された第 1 の n チャンネルトランジスタと、

そのソースが接地され、そのドレインが前記第 2 の p チャンネルトランジスタのドレインに接続され、そのゲートが前記第 1 の p チャンネルトランジスタのドレインに接続された第 2 の n チャンネルトランジスタとを有し、前記遅延駆動部は、

そのソースが接地され、そのゲートが前記第 2 の n チャンネルトランジスタのゲートに接続された第 3 の n チャンネルトランジスタと、

そのソースが前記第 3 の n チャンネルトランジスタのドレインに接続され、そのドレインが前記電圧変換バッファ回路の前記出力端子と前記第 2 の p チャンネルトランジスタおよび前記第 2 の n チャンネルトランジスタのドレインに接続された第 4 の n チャンネルトランジスタと、

前記電圧変換バッファ回路の前記出力端子と前記第 4 の n チャンネルトランジスタのゲートとの間に接続され、前記レベル変換された反転データ信号を所定の遅延時間

## 3

遅延させて前記第4のnチャンネルトランジスタのゲートに伝達する遅延ブロックとを有することを特徴とする請求項1記載の電圧変換バッファ回路。

【請求項6】 前記遅延時間は、前記レベルシフターフリップフロップ部の前記弱い方のフリップフロップ動作に必要な時間より長く設定されていることを特徴とする請求項5記載の電圧変換バッファ回路。

【請求項7】 前記反転部がCMOSにより構成されていることを特徴とする請求項5記載の電圧変換バッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力データ信号の反転を行うCMOS (Complementary MOS) インバータとその反転された入力データ信号の電圧レベルの変換を行う電流ミラーフリップフロップラッチ回路とを備えた電圧変換バッファ回路に関し、特に、前記入力データ信号のHIGHからLOWへのデータ変化およびLOWからHIGHへのデータ変化の両方に対する前記電流ミラーフリップフロップラッチ回路の高速なフリップフロップ動作を実現する電圧変換バッファ回路に関するものである。

【0002】

【従来の技術】図5は、一般に用いられている従来の電圧変換バッファ回路を示す回路図である。この従来の電圧変換バッファ回路は、反転部1とレベルシフターフリップフロップ部2とを備えて構成されている。

【0003】反転部1は、pチャンネルMOSトランジスタM1とnチャンネルMOSトランジスタM2で構成されたCMOSインバータである。電圧変換バッファ回路の入力端子(IN)はpチャンネルMOSトランジスタM1とnチャンネルMOSトランジスタM2の各ゲートに接続され、pチャンネルMOSトランジスタM1のソースには電源電圧VCC1が供給され、nチャンネルMOSトランジスタM2のソースは接地されている。そして、pチャンネルMOSトランジスタM1とnチャンネルMOSトランジスタM2のドレイン同士が接続され、この反転部1の出力がレベルシフターフリップフロップ部2のnチャンネルMOSトランジスタM4のゲートに供給されている。電圧変換バッファ回路の入力端子(IN)はまた、レベルシフターフリップフロップ部2のnチャンネルMOSトランジスタM6のゲートにも接続されている。

【0004】レベルシフターフリップフロップ部2はpチャンネルMOSトランジスタM3、nチャンネルMOSトランジスタM4、pチャンネルMOSトランジスタM5、およびnチャンネルMOSトランジスタM6によりなる電流ミラーフリップフロップラッチ回路である。前記電源電圧VCC1とは独立の電源電圧VCC2がpチャンネルMOSトランジスタM3およびM5の各ソ-

## 4

スに供給されており、これらの各ゲートは、nチャンネルMOSトランジスタM6およびM4の各ドレインにそれぞれ接続されている。pチャンネルMOSトランジスタM3とnチャンネルMOSトランジスタM4の各ドレインは互いに接続されている。pチャンネルMOSトランジスタM5とnチャンネルMOSトランジスタM6の各ドレインも同様に互いに接続されており、これらは電圧変換バッファ回路の出力端子(OUT)に接続されている。nチャンネルMOSトランジスタM4およびM6の各ソースは接地されている。

【0005】以下において、図5の従来の電圧変換バッファ回路の動作について説明する。

【0006】入力端子(IN)がHIGHレベルのとき、pチャンネルMOSトランジスタM1のゲートはOFF、nチャンネルMOSトランジスタM2のゲートはONとなり、これにより反転部1の出力はLOWレベルに保持される。従って、nチャンネルMOSトランジスタM4およびM6はそれぞれOFFおよびONとなり、これにより出力端子(OUT)はLOWレベル(0V)となる。

【0007】入力端子(IN)がLOWレベルのとき、pチャンネルMOSトランジスタM1のゲートはON、nチャンネルMOSトランジスタM2のゲートはOFFとなり、これにより反転部1の出力はHIGHレベルに保持される。従って、nチャンネルMOSトランジスタM4およびM6はそれぞれONおよびOFFとなる。従ってpチャンネルMOSトランジスタM5のゲートはLOWレベルでONとなり、これにより出力端子(OUT)はHIGHレベル(VCC2)となる。

【0008】上記のように、入力端子(IN)における入力データ信号は反転部1により反転され、その反転されたデータ信号のレベルは、レベルシフターフリップフロップ部2により電源電圧VCC2に従って変換される。

【0009】入力端子(IN)においてLOWからHIGHまたはHIGHからLOWへのデータ変化が生じた場合、レベルシフターフリップフロップ部2においてフリップフロップ動作が起こり、出力端子(OUT)においてHIGHからLOWまたはLOWからHIGHへのデータ変化がそれぞれ生じる。

【0010】しかし、レベルシフターフリップフロップ部2におけるpチャンネルMOSトランジスタとnチャンネルMOSトランジスタの駆動性能が等しい場合(すなわちバランス状態にある場合)には、レベルシフターフリップフロップ部2のフリップフロップ動作は起こりにくく長時間を要することとなり、場合によってはフリップフロップが起こらない可能性も生じる。このため、レベルシフターフリップフロップ部2の設計においては、そのpチャンネルMOSトランジスタとnチャンネルMOSトランジスタの駆動性能の間に意図的にアンバ

ランスが導入される。図5の例では、レベルシフターフリップフロップ部2におけるnチャンネルMOSトランジスタの駆動性能がpチャンネルMOSトランジスタの駆動性能より強くなるような設計が意図的に行われている。MOSトランジスタの駆動性能は、具体的にはMOSトランジスタのソースドレイン電流の量に関係しており、駆動性能はそのMOSトランジスタのゲート幅およびゲート長に依存する。MOSトランジスタのゲート幅が広がるほど、駆動性能は高くなる。nチャンネルMOSトランジスタとpチャンネルMOSトランジスタとを比較すると、ゲート幅が同一の場合の駆動性能はnチャンネルMOSトランジスタの方がpチャンネルMOSトランジスタより一般に高く、従って、pチャンネルMOSトランジスタの駆動性能をnチャンネルMOSトランジスタの駆動性能と等しくするためには、pチャンネルMOSトランジスタとnチャンネルMOSトランジスタのゲート幅がほぼ2:1（例えば、10 $\mu$ mと5 $\mu$ m）に設定される。従って、レベルシフターフリップフロップ部2におけるnチャンネルMOSトランジスタの駆動性能をpチャンネルMOSトランジスタの駆動性能より高く設定するためには、pチャンネルMOSトランジスタとnチャンネルMOSトランジスタの各ゲート幅が例えば6 $\mu$ mと5 $\mu$ mに設定される。

【0011】このように、nチャンネルMOSトランジスタM4およびM6の駆動性能をpチャンネルMOSトランジスタM3およびM5の駆動性能より高くするようなアンバランスが導入された場合、出力端子（OUT）におけるHIGHからLOWへのスムーズで高速なデータ変化が可能となり、HIGHからLOWへのデータ変化（フリップフロップ動作）の間のON電流が低減される。

【0012】しかし、上記の（nチャンネルMOSトランジスタがpチャンネルMOSトランジスタより強い）アンバランスは、その結果として、入力端子（IN）におけるHIGHからLOWへのデータ変化に対するレベルシフターフリップフロップ部2の出力端子（OUT）におけるデータ変化を非常に低速にしまうこととなる。すなわち図6に示すように、出力端子（OUT）におけるLOWからHIGHへのデータ変化が非常に低速になってしまう。また、出力端子（OUT）におけるLOWからHIGHへのデータ変化がうまく起こらない場合も生じうる。

【0013】

【発明が解決しようとする課題】上記のように、レベルシフターフリップフロップ部2のpチャンネルMOSトランジスタM3およびM5とnチャンネルMOSトランジスタM4およびM6との間に意図的に設定されたアンバランスのために、反転部1の入力端子（IN）においてHIGHからLOWへの入力データの変化が生じた場合、出力端子（OUT）におけるLOWからHIGHへ

の信号変化が図6に示したように極めて低速になってこのフリップフロップ動作の間のON電流が大きくなってしまい、またはこの出力端子（OUT）におけるLOWからHIGHへのデータ変化がうまく起こらない場合も生じるなどの課題があった。

【0014】この発明は上記課題を解決するためのものであり、駆動性能のアンバランスを導入した電圧変換バッファ回路における固有の問題を解決し、入力データ信号のHIGHからLOWへの変化およびLOWからHIGHへの変化の両方に対して、レベルシフターフリップフロップ部2の高速フリップフロップ動作を実現する電圧変換バッファ回路を提供することを目的とする。

【0015】

【課題を解決するための手段】請求項1記載の電圧変換バッファ回路は、データ信号を反転する反転部と、2個のpチャンネルトランジスタと2個のnチャンネルトランジスタとを有して前記pチャンネルトランジスタと前記nチャンネルトランジスタとの間に駆動性能のアンバランスが導入された電流ミラーフリップフロップラッチ回路より構成され、前記データ信号と前記反転されたデータ信号とを同時に入力し、前記反転されたデータ信号の電圧レベルを変換し、そのレベル変換された反転データ信号を出力するレベルシフターフリップフロップ部と、遅延ブロックと前記レベルシフターフリップフロップ部において駆動性能を弱く設定されたトランジスタと同じ型の複数のトランジスタとを有し、前記レベルシフターフリップフロップ部の駆動性能の弱い方のトランジスタの駆動性能を補助し、前記アンバランスによって弱く設定された前記レベルシフターフリップフロップ部の弱い方のフリップフロップ動作を補助する遅延駆動部とを備えたものである。

【0016】請求項2記載の電圧変換バッファ回路は、前記請求項2記載の電圧変換バッファ回路において、前記アンバランスが、前記レベルシフターフリップフロップ部において前記nチャンネルトランジスタの駆動性能が前記pチャンネルトランジスタの駆動性能より強くなるように導入されており、前記レベルシフターフリップフロップ部が、そのゲートが前記反転されたデータ信号を入力し、そのソースが接地された第1のnチャンネルトランジスタと、そのゲートが前記データ信号を入力し、そのソースが接地された第2のnチャンネルトランジスタと、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第2のnチャンネルトランジスタのドレインと前記電圧変換バッファ回路の出力端子とに接続され、そのドレインが前記第1のnチャンネルトランジスタのドレインに接続された第1のpチャンネルトランジスタと、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第1のnチャンネルトランジスタのドレイン

に接続され、そのドレインが前記第 2 の n チャンネルトランジスタのドレインに接続された第 2 の p チャンネルトランジスタとを有し、前記遅延駆動部が、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第 2 の p チャンネルトランジスタのゲートに接続された第 3 の p チャンネルトランジスタと、そのソースが前記第 3 の p チャンネルトランジスタのドレインに接続され、そのドレインが前記電圧変換バッファ回路の前記出力端子と前記第 2 の p チャンネルトランジスタおよび前記第 2 の n チャンネルトランジスタのドレインに接続された第 4 の p チャンネルトランジスタと、前記電圧変換バッファ回路の前記出力端子と前記第 4 の p チャンネルトランジスタのゲートとの間に接続され、前記レベル変換された反転データ信号を所定の遅延時間遅延させて前記第 4 の p チャンネルトランジスタのゲートに伝達する遅延ブロックとを有するものである。

【0017】請求項 3 記載の電圧変換バッファ回路は、請求項 2 記載の電圧変換バッファ回路において、前記遅延時間が、前記レベルシフターフリップフロップ部の前記弱い方のフリップフロップ動作に必要な時間より長く設定されているものである。

【0018】請求項 4 記載の電圧変換バッファ回路は、請求項 2 記載の電圧変換バッファ回路において、前記反転部が CMOS により構成されているものである。

【0019】請求項 5 記載の電圧変換バッファ回路は、請求項 1 記載の電圧変換バッファ回路において、前記アンバランスが、前記レベルシフターフリップフロップ部において前記 p チャンネルトランジスタの駆動性能が前記 n チャンネルトランジスタの駆動性能より強くなるように導入されており、前記レベルシフターフリップフロップ部が、そのゲートが前記反転されたデータ信号を入力し、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給された第 1 の p チャンネルトランジスタと、そのゲートが前記データ信号を入力し、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給された第 2 の p チャンネルトランジスタと、そのソースが接地され、そのドレインが前記第 1 の p チャンネルトランジスタのドレインに接続され、そのゲートが前記第 2 の p チャンネルトランジスタのドレインと前記電圧変換バッファ回路の出力端子とに接続された第 1 の n チャンネルトランジスタと、そのソースが接地され、そのドレインが前記第 2 の p チャンネルトランジスタのドレインに接続され、そのゲートが前記第 1 の p チャンネルトランジスタのドレインに接続された第 2 の n チャンネルトランジスタとを有し、前記遅延駆動部が、そのソースが接地され、そのゲートが前記第 2 の n チャンネルトランジスタのゲートに接続された第 3 の n チャンネルトランジスタと、そのソースが前記第 3 の n チャンネルトランジスタ

のドレインに接続され、そのドレインが前記電圧変換バッファ回路の前記出力端子と前記第 2 の p チャンネルトランジスタおよび前記第 2 の n チャンネルトランジスタのドレインに接続された第 4 の n チャンネルトランジスタと、前記電圧変換バッファ回路の前記出力端子と前記第 4 の n チャンネルトランジスタのゲートとの間に接続され、前記レベル変換された反転データ信号を所定の遅延時間遅延させて前記第 4 の n チャンネルトランジスタのゲートに伝達する遅延ブロックとを有するものである。

【0020】請求項 6 記載の電圧変換バッファ回路は、請求項 5 記載の電圧変換バッファ回路において、前記遅延時間が、前記レベルシフターフリップフロップ部の前記弱い方のフリップフロップ動作に必要な時間より長く設定されているものである。

【0021】請求項 7 記載の電圧変換バッファ回路は、請求項 5 記載の電圧変換バッファ回路において、前記反転部が CMOS により構成されているものである。

【0022】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0023】実施の形態 1. 図 1 は本発明の実施の形態 1 による電圧変換バッファ回路を示す回路図である。図 1 の電圧変換バッファ回路は、図 5 に示した従来の電圧変換バッファ回路と同様に反転部 1 とレベルシフターフリップフロップ部 2 とを備えるとともに、これに加えて遅延駆動部 3 を備えている。遅延駆動部 3 は、p チャンネルプリアップ MOS トランジスタ M 7 および M 8、および遅延ブロック 4 により構成されている。遅延ブロック 4 は図 2 に示すように複数の反転ゲートによる鎖により構成されている。なお、この各反転ゲートは、反転部 1 と同様の CMOS (p チャンネル MOS トランジスタと n チャンネル MOS トランジスタ) インバータにより構成することができる。

【0024】反転部 1 は p チャンネル MOS トランジスタ M 1 と n チャンネル MOS トランジスタ M 2 によりなる CMOS インバータである。電圧変換バッファ回路の入力端子 (IN) が p チャンネル MOS トランジスタ M 1 と n チャンネル MOS トランジスタ M 2 の各ゲートに接続され、p チャンネル MOS トランジスタ M 1 のソースには電源電圧 VCC 1 が供給され、n チャンネル MOS トランジスタ M 2 のソースは接地されている。p チャンネル MOS トランジスタ M 1 と n チャンネル MOS トランジスタ M 2 の各ドレインが互いに接続され、この反転部 1 の出力はレベルシフターフリップフロップ部 2 の n チャンネル MOS トランジスタ M 4 のゲートに供給されている。電圧変換バッファ回路の入力端子 (IN) はまた、レベルシフターフリップフロップ部 2 の n チャンネル MOS トランジスタ M 6 のゲートにも接続されている。

【0025】レベルシフターフリップフロップ部2はpチャンネルMOSトランジスタM3、nチャンネルMOSトランジスタM4、pチャンネルMOSトランジスタM5、およびnチャンネルMOSトランジスタM6によりなる電流ミラーフリップフロップラッチ回路である。前記電源電圧VCC1とは独立の電源電圧VCC2がpチャンネルMOSトランジスタM3およびM5の各ソースに供給されており、これらの各ゲートは、nチャンネルMOSトランジスタM6およびM4の各ドレインにそれぞれ接続されている。pチャンネルMOSトランジスタM3とnチャンネルMOSトランジスタM4の各ドレインは互いに接続されている。pチャンネルMOSトランジスタM5とnチャンネルMOSトランジスタM6の各ドレインも同様に互いに接続されており、これらは電圧変換バッファ回路の出力端子(OUT)に接続されている。nチャンネルMOSトランジスタM4およびM6の各ソースは接地されている。

【0026】ここで、レベルシフターフリップフロップ部2におけるpチャンネルMOSトランジスタとnチャンネルMOSトランジスタの駆動性能が等しい(バランス状態)とすると、レベルシフターフリップフロップ部2のフリップフロップ動作は起こりにくく長時間を要することとなり、場合によってはフリップフロップが起こらない可能性も生じる。このため、レベルシフターフリップフロップ部2のpチャンネルMOSトランジスタの駆動性能とnチャンネルMOSトランジスタの駆動性能の間に意図的にアンバランスが導入されており、nチャンネルMOSトランジスタM4およびM6の駆動性能がpチャンネルMOSトランジスタM3およびM5の駆動性能より強くなるような設計が意図的に行われている。MOSトランジスタの駆動性能は、具体的にはMOSトランジスタのソースドレイン電流の量に関係しており、駆動性能はそのMOSトランジスタのゲート幅およびゲート長に依存する。MOSトランジスタのゲート幅が広がるほど、駆動性能は高くなる。nチャンネルMOSトランジスタとpチャンネルMOSトランジスタとを比較すると、ゲート幅が同一の場合の駆動性能はnチャンネルMOSトランジスタの方がpチャンネルMOSトランジスタより一般に高く、従って、pチャンネルMOSトランジスタの駆動性能をnチャンネルMOSトランジスタの駆動性能と等しくするためには、pチャンネルMOSトランジスタとnチャンネルMOSトランジスタのゲート幅がほぼ2:1(例えば、10 $\mu$ mと5 $\mu$ m)に設定される。従って、この実施の形態1においては、レベルシフターフリップフロップ部2におけるpチャンネルMOSトランジスタとnチャンネルMOSトランジスタの各ゲート幅を例えば6 $\mu$ mと5 $\mu$ mに設定することにより、nチャンネルMOSトランジスタM4およびM6の駆動性能をpチャンネルMOSトランジスタM3およびM5の駆動性能より高く設定している。

【0027】遅延駆動部3において、pチャンネルMOSトランジスタM7のソースには前記電源電圧VCC2が供給され、pチャンネルMOSトランジスタM7のゲートはpチャンネルMOSトランジスタM5のゲートと接続され、pチャンネルMOSトランジスタM7のドレインはpチャンネルMOSトランジスタM8のソースと接続されている。pチャンネルMOSトランジスタM8のドレインは、レベルシフターフリップフロップ部2の出力(すなわちpチャンネルMOSトランジスタM5とnチャンネルMOSトランジスタM6のドレイン間接点)と電圧変換バッファ回路の出力端子(OUT)とに接続されている。遅延ブロック4は、レベルシフターフリップフロップ部2の出力をpチャンネルMOSトランジスタM8のゲートに所定の遅延時間だけ遅延させて伝達するために、出力端子(OUT)とpチャンネルMOSトランジスタM8のゲートとの間に配置されている。

【0028】以下において、図1の電圧変換バッファ回路の動作について説明する。

【0029】入力端子(IN)がHIGHレベルのとき、pチャンネルMOSトランジスタM1のゲートはOFF、nチャンネルMOSトランジスタM2のゲートはONとなり、これにより反転部1の出力はLOWレベルに保持される。従って、nチャンネルMOSトランジスタM4およびM6はそれぞれOFFおよびONとなり、これにより出力端子(OUT)はLOWレベル(0V)となる。入力端子(IN)がLOWレベルのとき、pチャンネルMOSトランジスタM1のゲートはON、nチャンネルMOSトランジスタM2のゲートはOFFとなり、これにより反転部1の出力はHIGHレベルに保持される。従って、nチャンネルMOSトランジスタM4およびM6はそれぞれONおよびOFFとなる。従ってpチャンネルMOSトランジスタM5のゲートはLOWレベルでONとなり、これにより出力端子(OUT)はHIGHレベル(VCC2)となる。上記のように、入力端子(IN)における入力データ信号は反転部1により反転され、その反転されたデータ信号のレベルは、レベルシフターフリップフロップ部2により電源電圧VCC2に従って変換される。

【0030】入力端子(IN)においてLOWからHIGHへのデータ変化が起こった場合、nチャンネルMOSトランジスタM2がONに変わり、これによりnチャンネルMOSトランジスタM4のゲートがOFFとなる。同時に、nチャンネルMOSトランジスタM6がONとなり、これにより出力端子(OUT)がLOWとなる。同時に、pチャンネルMOSトランジスタM3がONとなり、これにより図1中のノードAがHIGHレベルとなる。これによりpチャンネルMOSトランジスタM5およびM7が共にOFFとなる。その後、出力端子(OUT)のLOWレベルが遅延ブロック4を介して伝達され、pチャンネルMOSトランジスタM8がONと



なる。上記のように、図5に示した従来の電圧変換バッファ回路の場合と同様にして、入力端子(IN)におけるLOWからHIGHへのデータ変化に伴い、出力端子(OUT)におけるHIGHからLOWへのデータ変化が生じる。

【0031】入力端子(IN)においてHIGHからLOWへのデータ変化が起こった場合、pチャンネルMOSトランジスタM1がONに変わり、nチャンネルMOSトランジスタM2およびM6がOFFに変わる。従って、pチャンネルMOSトランジスタM1がnチャンネルMOSトランジスタM4をONとし、これによりpチャンネルMOSトランジスタM5およびM7がONとなる。なお、この時にのみ、pチャンネルMOSトランジスタM5、M7およびM8がすべて同時にONとなる。この時、pチャンネルMOSトランジスタM5、M7およびM8の結合された駆動性能により、出力端子(OUT)が極めて高速にHIGHレベルに引き上げられる。その後、出力端子(OUT)のHIGHレベルが遅延ブロック4を介して伝達され、pチャンネルMOSトランジスタM8がOFFとなる。上記のように、入力端子(IN)におけるHIGHからLOWへのデータ変化に伴う出力端子(OUT)におけるLOWからHIGHへのデータ変化は、図5に示した従来の電圧変換バッファ回路の場合と比較して、図3に示すように大きく高速化される。

【0032】上述のように、この実施の形態1によれば、反転部1と、nチャンネルMOSトランジスタM4およびM6の駆動性能がpチャンネルMOSトランジスタM3およびM5の駆動性能より高くなるようなアンバランスが導入されたレベルシフターフリップフロップ部2とを備えた、アンバランス化された電圧変換バッファ回路において、遅延ブロック4と、LOWからHIGHへの出力データ変化を補助するためのpチャンネルプルアップMOSトランジスタM7およびM8とを有した、遅延駆動部3を設けることにより、出力端子(OUT)におけるLOWからHIGHへのデータ変化が極めて高速なものとなり、これにより、入力データ信号のHIGHからLOW、およびLOWからHIGHの両方のデータ変化に対しての、レベルシフターフリップフロップ部2の高速なフリップフロップ動作が実現される。

【0033】実施の形態2. 図4は本発明の実施の形態2による電圧変換バッファ回路を示す回路図である。図4の電圧変換バッファ回路は、反転部1と、レベルシフターフリップフロップ部2'と、遅延駆動部3'とを備えている。遅延駆動部3'は、nチャンネルプルダウンMOSトランジスタM17およびM18、および遅延ブロック4により構成されている。遅延ブロック4は実施の形態1のものと同様に複数の反転ゲートによる鎖により構成されている。

【0034】反転部1は、実施の形態1のものと同様の

構成によるCMOSインバータである。この実施の形態2においては、反転部1の出力は、レベルシフターフリップフロップ部2'のpチャンネルMOSトランジスタM13のゲートに供給されている。電圧変換バッファ回路の入力端子(IN)はまた、レベルシフターフリップフロップ部2'のpチャンネルMOSトランジスタM15のゲートにも接続されている。

【0035】レベルシフターフリップフロップ部2'はpチャンネルMOSトランジスタM13、nチャンネルMOSトランジスタM14、pチャンネルMOSトランジスタM15、およびnチャンネルMOSトランジスタM16によりなる電流ミラーフリップフロップラッチ回路である。反転部1の電源電圧VCC1とは独立の電源電圧VCC2がpチャンネルMOSトランジスタM13およびM15の各ソースに供給されている。このpチャンネルMOSトランジスタM13およびM15の各ゲートには上記のように反転部1の出力および入力それぞれ供給されている。pチャンネルMOSトランジスタM13とnチャンネルMOSトランジスタM14の各ドレインは互いに接続されている。pチャンネルMOSトランジスタM15とnチャンネルMOSトランジスタM16の各ドレインも同様に互いに接続されており、これらは電圧変換バッファ回路の出力端子(OUT)に接続されている。nチャンネルMOSトランジスタM14およびM16の各ゲートは、pチャンネルMOSトランジスタM15およびM13の各ドレインとそれぞれ接続されている。nチャンネルMOSトランジスタM14およびM16の各ソースは接地されている。

【0036】なお、この実施の形態2でも実施の形態1と同様にレベルシフターフリップフロップ部2'のMOSトランジスタの駆動性能にアンバランスが導入されており、実施の形態2においては、意図的にpチャンネルMOSトランジスタM13およびM15の駆動性能がnチャンネルMOSトランジスタM14およびM16の駆動性能より高くなるように設計されている。具体的には、pチャンネルMOSトランジスタとnチャンネルMOSトランジスタのゲート幅を例えば $10\mu\text{m}$ と $3\mu\text{m}$ に設定することにより、このようなアンバランスを実現することが可能である。

【0037】遅延駆動部3'において、nチャンネルMOSトランジスタM17のソースは接地され、nチャンネルMOSトランジスタM17のゲートはnチャンネルMOSトランジスタM16のゲートと接続され、nチャンネルMOSトランジスタM17のドレインはnチャンネルMOSトランジスタM18のソースと接続されている。nチャンネルMOSトランジスタM18のドレインは、レベルシフターフリップフロップ部2'の出力(すなわちpチャンネルMOSトランジスタM15とnチャンネルMOSトランジスタM16のドレイン間接点)と電圧変換バッファ回路の出力端子(OUT)とに接続さ

れている。遅延ブロック 4 は、レベルシフターフリップフロップ部 2' の出力を n チャンネル MOS トランジスタ M18 のゲートに所定の遅延時間だけ遅延させて伝達するために、出力端子 (OUT) と n チャンネル MOS トランジスタ M18 のゲートとの間に配置されている。

【0038】以下において、図 4 の電圧変換バッファ回路の動作について説明する。

【0039】入力端子 (IN) が HIGH レベルのとき、p チャンネル MOS トランジスタ M1 のゲートは OFF、n チャンネル MOS トランジスタ M2 のゲートは ON となり、これにより反転部 1 の出力は LOW レベルに保持される。従って、p チャンネル MOS トランジスタ M13 および M15 は、それぞれ ON と OFF となる。これにより、n チャンネル MOS トランジスタ M16 のゲートは HIGH レベルで ON となり、従って出力端子 (OUT) は LOW レベル (0V) となる。

【0040】入力端子 (IN) が LOW レベルのとき、p チャンネル MOS トランジスタ M1 のゲートは ON、n チャンネル MOS トランジスタ M2 のゲートは OFF となり、これにより反転部 1 の出力は HIGH レベルに保持される。従って、p チャンネル MOS トランジスタ M13 および M15 はそれぞれ OFF および ON となり、これにより出力端子 (OUT) は HIGH レベル (VCC2) となる。上記のように、入力端子 (IN) における入力データ信号は反転部 1 により反転され、その反転されたデータ信号のレベルは、レベルシフターフリップフロップ部 2' により電源電圧 VCC2 に従って変換される。

【0041】入力端子 (IN) において HIGH から LOW へのデータ変化が起こった場合、p チャンネル MOS トランジスタ M1 が ON に変わり、これにより p チャンネル MOS トランジスタ M13 のゲートが OFF に変わる。同時に p チャンネル MOS トランジスタ M15 が ON に変わり、これにより出力端子 (OUT) が HIGH レベルに変化する。同時に、n チャンネル MOS トランジスタ M14 が ON となり、これにより図 4 中のノード A が LOW レベルとなる。これにより n チャンネル MOS トランジスタ M16 および M17 が共に OFF となる。その後、出力端子 (OUT) の HIGH レベルが遅延ブロック 4 を介して伝達され、n チャンネル MOS トランジスタ M18 が ON となる。上記のように、入力端子 (IN) における HIGH から LOW へのデータ変化に伴い、出力端子 (OUT) における LOW から HIGH へのデータ変化が生じる。

【0042】入力端子 (IN) において LOW から HIGH へのデータ変化が起こった場合、n チャンネル MOS トランジスタ M2 が ON に変わり、p チャンネル MOS トランジスタ M1 および M15 が OFF に変わる。従って、n チャンネル MOS トランジスタ M2 が p チャンネル MOS トランジスタ M13 を ON とし、これにより

n チャンネル MOS トランジスタ M16 および M17 が ON となる。なお、この時にのみ、n チャンネル MOS トランジスタ M16、M17 および M18 がすべて同時に ON となる。この時、n チャンネル MOS トランジスタ M16、M17 および M18 の結合された駆動性能により、出力端子 (OUT) が極めて高速に LOW レベルに引き下げられる。その後、出力端子 (OUT) の LOW レベルが遅延ブロック 4 を介して伝達され、n チャンネル MOS トランジスタ M18 が OFF となる。上記のように、入力端子 (IN) における LOW から HIGH へのデータ変化に伴う出力端子 (OUT) における HIGH から LOW へのデータ変化は、電圧変換バッファ回路に遅延駆動部 3' が設けられていない場合と比較して大きく高速化される。

【0043】上述のように、この実施の形態 2 によれば、反転部 1 と、p チャンネル MOS トランジスタ M13 および M15 の駆動性能が n チャンネル MOS トランジスタ M14 および M16 の駆動性能より高くなるようなアンバランスが導入されたレベルシフターフリップフロップ部 2' とを備えた、アンバランス化された電圧変換バッファ回路において、遅延ブロック 4 と、HIGH から LOW への出力データ変化を補助するための n チャンネルプルダウン MOS トランジスタ M17 および M18 とを有した、遅延駆動部 3' を設けることにより、出力端子 (OUT) における HIGH から LOW へのデータ変化が極めて高速なものとなり、これにより、入力データ信号の HIGH から LOW、および LOW から HIGH の両方のデータ変化に対しての、レベルシフターフリップフロップ部 2' の高速なフリップフロップ動作が実現される。

【0044】

【発明の効果】以上のように、この発明による電圧変換バッファ回路によれば、駆動性能のアンバランスを導入した電圧変換バッファ回路における固有の問題を解決し、入力端子におけるデータ信号の HIGH から LOW へのデータ変化および LOW から HIGH へのデータ変化の両方に対して、出力端子における高速のデータ変化を実現することができる効果がある。

【0045】なお、この発明を特定の例示的な各実施の形態を用いて説明してきたが、この発明はこれらの実施の形態に限定されるものではなく、添付した特許請求の範囲によってのみ限定されるものである。この発明の範囲と趣旨から離れることなくこの分野の当業者がこれらの実施の形態の変更または修正を行うことが可能であることが当然理解されるべきものである。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 による電圧変換バッファ回路を示す回路図である。

【図 2】図 1 の電圧変換バッファ回路中の遅延駆動部の構成を示す回路図である。

【図3】図1の電圧変換バッファ回路の入力と出力を示すタイミングチャートである。

【図4】本発明の実施の形態2による電圧変換バッファ回路を示す回路図である。

【図5】一般に用いられている従来の電圧変換バッファ回路を示す回路図である。

【図6】図5の従来の電圧変換バッファ回路の入力と出力を示すタイミングチャートである。

【符号の説明】

1 反転部

10

2, 2' レベルシフターフリップフロップ部

3, 3' 遅延駆動部

4 遅延ブロック

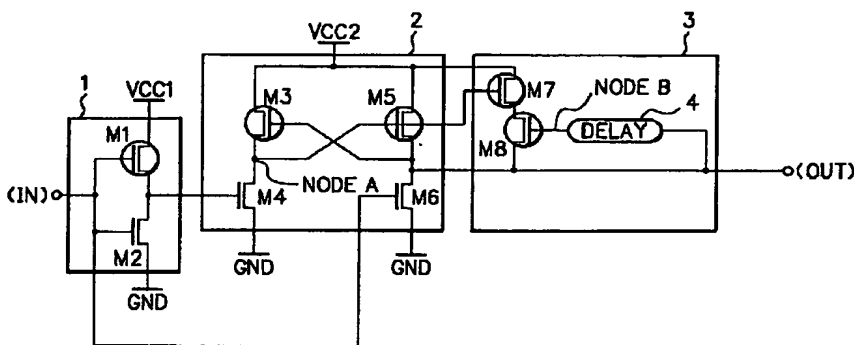
M1, M3, M5, M7, M8, M13, M15 pチャンネルMOSトランジスタ

M2, M4, M6, M14, M16, M17, M18 nチャンネルMOSトランジスタ

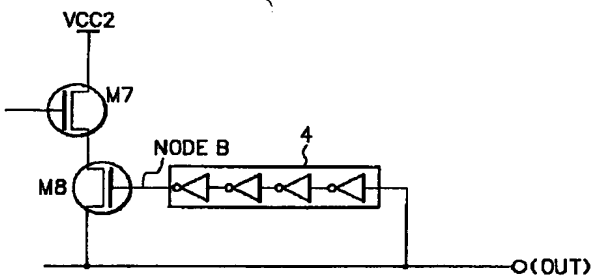
(IN) 入力端子

(OUT) 出力端子

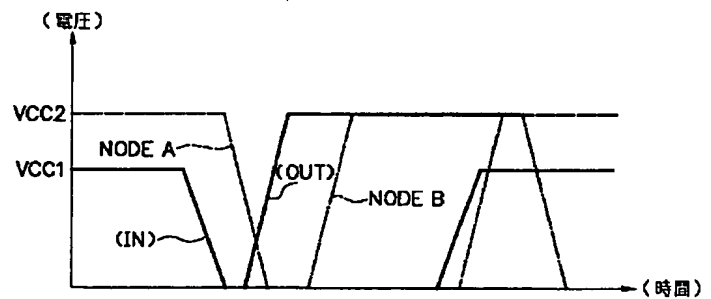
【図1】



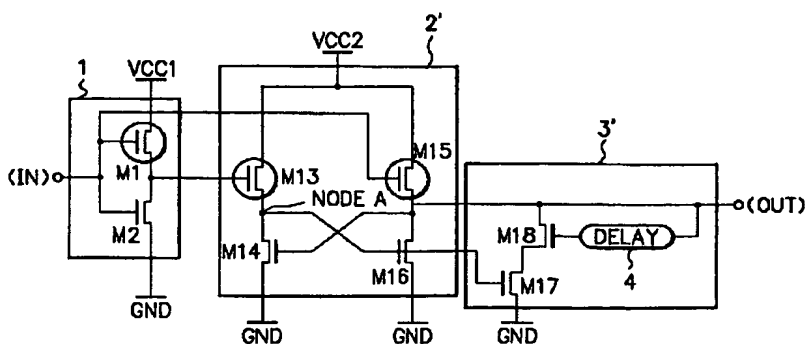
【図2】



【図3】



【図4】





## 【外国語明細書】

## 1 Title of Invention

## VOLTAGE CONVERTING BUFFER CIRCUIT

## 2 Claims

1. A voltage converting buffer circuit comprising:

an inverter section for inverting data signals;

a level shifter flip-flop section composed of a current mirror flip-flop latch circuit including two p-channel transistors and two n-channel transistors, for receiving the data signal and the inverted data signal simultaneously, shifting the voltage level of the inverted data signal, and outputting the level shifted inverted data signal, in which unbalance is introduced into driving ability of the p-channel transistors and the n-channel transistors; and

a delayed driving section including a delay block and transistors of the same type as the transistors in the level shifter flip-flop section whose driving ability is set weaker, for assisting driving ability of the weaker transistors in the level shifter flip-flop section and assisting weaker flip-flop action of the level shifter flip-flop section which has been made weaker due to the unbalance.

2. A voltage converting buffer circuit as claimed in claim 1, wherein the unbalance is introduced so that the driving ability of the n-channel transistors will be stronger than the driving ability of the p-channel transistors in the level shifter flip-flop section, in which:

the level shifter flip-flop section includes:

a first n-channel transistor, whose gate is supplied with the inverted data signal, and whose source is grounded;

a second n-channel transistor, whose gate is supplied with the data signal, and whose source is grounded;

a first p-channel transistor, whose source is supplied with a power source voltage for shifting the voltage level of the inverted data signal, whose gate is connected with the drain of the second n-channel transistor and an output node of the voltage converting buffer circuit, and whose drain is connected with the drain of the first n-channel transistor; and

a second p-channel transistor, whose source is supplied with the power source voltage for shifting the voltage level of the inverted data signal, whose gate is connected with the drain of the first n-channel transistor, and whose drain is connected with the drain of the second n-channel transistor;

and the delayed driving section includes:

a third p-channel transistor, whose source is supplied with the power source voltage for shifting the voltage level of the inverted data signal, and whose gate is connected with the gate of the second p-channel transistor;

a fourth p-channel transistor, whose source is connected with the drain of the third p-channel transistor, and whose drain is connected to the output node of the voltage converting buffer circuit and the drains of the second p-channel transistor and the second n-channel transistor; and

a delay block which is connected between the output node of the voltage converting buffer circuit and the gate of the fourth p-channel transistor, for transmitting the level shifted inverted data signal to the gate of the fourth p-channel transistor with a predetermined delay time.

3. A voltage converting buffer circuit as claimed in claim 1, wherein the delay time is set longer than a time which is needed for the weaker flip-flop action of the level shifter flip-flop section.

4. A voltage converting buffer circuit as claimed in claim 1, wherein the inverter section is composed of a CMOS.

5. A voltage converting buffer circuit as claimed in claim 1, wherein the unbalance is introduced so that the driving ability of the p-channel transistors will be stronger than the driving ability of the n-channel transistors in the level shifter flip-flop section, in which:

the level shifter flip flop section includes:

a first p-channel transistor, whose gate is supplied with the inverted data signal, and whose source is supplied with a power source voltage for shifting the voltage level of the inverted data signal;

a second p-channel transistor, whose gate is supplied with the data signal, and whose source is supplied with the power source voltage for shifting the voltage level of the inverted data signal;

a first n-channel transistor, whose source is grounded, whose drain is connected with the drain of the first p-channel transistor, and whose gate is connected with the drain of the second p-channel transistor and an output node of the voltage converting buffer circuit; and

a second n-channel transistor, whose source is grounded, whose drain is connected with the drain of the second p-channel transistor, and whose gate is connected with the drain of the first p-channel transistor;

and the delayed driving section includes:

a third n-channel transistor, whose source is grounded, and whose gate is connected with the gate of the second n-channel transistor;

a fourth n-channel transistor, whose source is connected with the drain of the third n-channel transistor, and whose drain is connected to the output node of the voltage converting buffer circuit; and the drains of the second p-channel transistor and the second n-channel transistor; and

a delay block which is connected between the output node of the voltage converting buffer circuit and the gate of the fourth n-channel transistor, for transmitting the level shifted inverted data signal to the gate of the fourth n-channel transistor with a predetermined delay time.

6. A voltage converting buffer circuit as claimed in claim 5, wherein the delay time is set longer than a time which is needed for the weaker flip-flop action of the level shifter flip-flop section.

7. A voltage converting buffer circuit as claimed in claim 5, wherein the inverter section is composed of a CMOS.

### 3 Detailed Description of Invention

#### BACKGROUND OF THE INVENTION

The present invention generally relates to a voltage converting buffer circuit comprised of a CMOS inverter for inverting input data signal and a current mirror flip-flop latch circuit for shifting the voltage level of the inverted input data signal, and in particular, to a voltage converting buffer circuit which realizes high speed flip-flop action of the current mirror flip-flop latch circuit with respect to both HIGH to LOW data transition and LOW to HIGH data transition of the input data signal.



## Description of the Prior Art

Fig.5 is a circuit diagram showing a generally used conventional voltage converting buffer circuit. The conventional circuit comprises an inverter section 1 and a level shifter (flip flop section 2).

The inverter section 1 is a CMOS inverter which consists of a p-channel MOS transistor M1 and an n-channel MOS transistor M2. The input node (IN) of the voltage converting buffer circuit is connected to the gates of the p-channel MOS transistor M1 and the n-channel MOS transistor M2, and the source of the p-channel MOS transistor M1 is supplied with a power source voltage VCC1, and the source of the n-channel MOS transistor M2 is grounded. The drains of the p-channel MOS transistor M1 and the n-channel MOS transistor M2 are connected together, and the output of the inverter section 1 is supplied to the gate of an n-channel MOS transistor M4 of the level shifter flip-flop section 2. The input node (IN) of the voltage converting buffer circuit is also connected to an n-channel MOS transistor M6 of the level shifter flip-flop section 2.

The level shifter flip-flop section 2 is a current mirror flip-flop latch circuit which consists of a p-channel MOS transistor M3, the n-channel MOS transistor M4, a p-channel MOS transistor M5, and the n-channel MOS transistor M6. A power source voltage VCC2 which is independent of the power source voltage VCC1 is supplied to the sources of the p-channel MOS transistors M3 and M5, and the gates of them are connected with the drains of the n channel MOS transistors M6 and M4 respectively.

The drains of the p-channel MOS transistor M3 and the n channel MOS transistor M4 are connected together. The drains of the p-channel MOS transistor M5 and the n-channel MOS transistor M6 are similarly connected together and they are connected to the output node (OUT) of the voltage converting buffer circuit. The sources of the n-channel MOS transistors M4 and M6 are grounded.

In the following, the operation of the conventional voltage converting buffer circuit of Fig.5 will be described.

When the input node (IN) is at a HIGH level, the gate of the p-channel MOS transistor M1 is OFF and the gate of the n-channel MOS transistor M2 is ON, thereby the output of the inverter section 1 is kept at a LOW level. Thus, the n-channel MOS transistors M4 and M6 are OFF and ON respectively, and accordingly the output node (OUT) is at a LOW level (0V).

When the input node (IN) is at a LOW level, the gate of the p-channel MOS transistor M1 is ON and the gate of the n-channel MOS transistor M2 is OFF, thereby the output of the inverter section 1 is kept at a HIGH level. Thus, the n-channel MOS transistors M4 and M6 are ON and OFF respectively. Accordingly, the gate of the p-channel MOS transistor M5 is at a LOW level and ON, and thus the output node (OUT) is at a HIGH level (VCC2).

As shown above, the input data signal at the input node (IN) is inverted by the inverter section 1 and the level of the signal is shifted according to the power source voltage VCC2 by the level shifter flip-flop section 2.

When data transition of LOW to HIGH or HIGH to LOW occurs at the input node (IN), flip-flop action occurs in the level shifter flip-flop section 2 and HIGH to LOW or LOW to HIGH data transition occurs at the output node (OUT), respectively.

However, if driving ability of the p-channel MOS transistor and the n-channel MOS transistor in the level shifter flip-flop section 2 is the same (i.e. balanced), the flip-flop action of the level shifter flip-flop section 2 is not easy to occur and the flip-flop action tends to take a long time, or there may be cases where the flip-flop action does not occur. Therefore, in the design of the level shifter flip-flop sec

tion 2, unbalance is intentionally introduced into the driving ability of the p-channel MOS transistor and the n-channel MOS transistor in the level shifter flip-flop section 2. In the case of Fig.5, the driving ability of the n-channel MOS transistors is deliberately designed to be stronger than the driving ability of the p-channel MOS transistors in the level shifter flip-flop section 2. Concretely the driving ability of a MOS transistor is related to the amount of source drain current of the MOS transistor, and the driving ability depends on the gate width and the gate length of the MOS transistor. The driving ability gets stronger as the gate width gets wider. Generally, the driving ability of n-channel MOS transistors is stronger than that of p-channel MOS transistors when the gate widths of the MOS transistors are the same, and thus in order to set the driving ability of the p-channel MOS transistors equal to that of the n-channel MOS transistors, the gate widths of the p-channel MOS transistors and the n-channel MOS transistors are set approximately 2:1 (for example,  $10\ \mu\text{m}$  and  $5\ \mu\text{m}$ ). Therefore, in order to set the driving ability of the n-channel MOS transistors stronger than that of the p-channel MOS transistors, the gate widths of the p-channel MOS transistors and the n-channel MOS transistors are set, for example,  $6\ \mu\text{m}$  and  $5\ \mu\text{m}$  respectively.

When the unbalance is introduced into the driving ability of MOS transistors so that the driving ability of the n-channel MOS transistors M4 and M6 will be stronger than that of the p-channel MOS transistors M3 and M5, smooth and high speed HIGH to LOW data transition at the output node (OUT) is made possible, and ON current during the HIGH to LOW data transition (flip-flop action) is reduced.

However, the above unbalance (n-channel MOS transistors stronger than p-channel MOS transistors) results in a very slow data transition at the output node (OUT) of the level shifter flip-flop section 2 with

respect to HIGH to LOW data transition at the input node (IN) of the inverter section 1 (i.e. very slow LOW to HIGH data transition at the output node (OUT)) as shown in Fig.6, and there may be cases where the LOW to HIGH data transition at the output node (OUT) does not successfully occur.

#### Problems to be resolved

As described above, due to the inbuilt unbalance between the upper p-channel MOS transistors M3 and M5 and the lower n-channel MOS transistors M4 and M6 of the level shifter flip-flop section 2, when an input data transition of HIGH to LOW occurs at the input node (IN) of the inverter section 1, the consequent signal rise time of the LOW to HIGH data transition at the output node (OUT) becomes extremely slow and ON current during the LOW to HIGH data transition (flip-flop action) becomes large as shown in Fig.6, and there may be cases where the LOW to HIGH data transition at the output node (OUT) does not successfully occur.

It is therefore the primary object of the present invention to provide a voltage converting buffer circuit by which the resultant problems of the conventional unbalanced voltage converting buffer circuit is resolved and high speed flip-flop action of the level shifter flip-flop section 2 with respect to both HIGH to LOW data transition and LOW to HIGH data transition of the input data signal is realized.

#### Measures to resolve the problem

In accordance with the present invention, there is provided a voltage converting buffer circuit comprising an inverter section, a level shifter flip-flop section, and a delayed driving section. The inverter section inverts data signals. The level shifter flip-flop section is composed of a current mirror flip-flop latch circuit including two p-channel

nel transistors and two n-channel transistors. The level shifter flip-flop section receives the data signal and the inverted data signal simultaneously, shifts the voltage level of the inverted data signal, and outputs the level shifted inverted data signal. In the level shifter flip-flop section, unbalance is introduced into driving ability of the p-channel transistors and the n-channel transistors in the same way as the conventional voltage converting buffer circuit. The delayed driving section includes a delay block and transistors of the same type as the transistors in the level shifter flip-flop section whose driving ability is set weaker. The delayed driving section assists driving ability of the weaker transistors in the level shifter flip-flop section and assists weaker flip-flop action of the level shifter flip-flop section which has been made weaker due to the unbalance.

In accordance with one aspect of the present invention, the unbalance is introduced so that the driving ability of the n-channel transistors will be stronger than the driving ability of the p-channel transistors in the level shifter flip-flop section. In such a preferred embodiment, the level shifter flip-flop section includes a first n-channel transistor, a second n-channel transistor, a first p-channel transistor and a second p-channel transistor, which are connected as follows. The gate of the first n-channel transistor is supplied with the inverted data signal, with its source grounded. The gate of the second n-channel transistor is supplied with the data signal, with its source grounded. The source of the first p-channel transistor is supplied with a power source voltage for shifting the voltage level of the inverted data signal, with its gate connected with the drain of the second n-channel transistor and an output node of the voltage converting buffer circuit, and with its drain connected with the drain of the first n-channel transistor. The source of the second p-channel transistor is supplied with the power source

rice voltage for shifting the voltage level of the inverted data signal, with its gate connected with the drain of the first n-channel transistor, and with its drain connected with the drain of the second p-channel transistor. The delayed driving section includes a third p-channel transistor, a fourth p-channel transistor, and a delay block, which are connected as follows. The source of the third p-channel transistor is supplied with the power source voltage for shifting the voltage level of the inverted data signal, with its gate connected with the gate of the second p-channel transistor. The source of the fourth p-channel transistor is connected with the drain of the third p-channel transistor, with its drain connected to the output node of the voltage converting buffer circuit and the drains of the second p-channel transistor and the second n-channel transistor. The delay block is connected between the output node of the voltage converting buffer circuit and the gate of the fourth p-channel transistor, for transmitting the level shifted inverted data signal to the gate of the fourth p-channel transistor with a predetermined delay time.

Preferably, the delay time is set longer than a time which is needed for the weaker flip-flop action of the level shifter flip-flop section.

Preferably, the inverter section is composed of a CMOS.

In accordance with another aspect of the present invention, the unbalance is introduced so that the driving ability of the p-channel transistors will be stronger than the driving ability of the n-channel transistors in the level shifter flip flop section. In such a preferred embodiment, the level shifter flip-flop section includes a first p-channel transistor, a second p-channel transistor, a first n-channel transistor, and a second n-channel transistor, which are connected as follows. The gate of the first p-channel transistor is supplied with the inverted d

ata signal, with its source supplied with a power source voltage for shifting the voltage level of the inverted data signal. The gate of the second p-channel transistor is supplied with the data signal, with its source supplied with the power source voltage for shifting the voltage level of the inverted data signal. The source of the first n-channel transistor is grounded, with its drain connected with the drain of the first p-channel transistor, and with its gate connected with the drain of the second p-channel transistor and an output node of the voltage converting buffer circuit. The source of the second n-channel transistor is grounded, with its drain connected with the drain of the second p-channel transistor, and with its gate connected with the drain of the first p-channel transistor. The delayed driving section includes a third n-channel transistor, a fourth n-channel transistor, and a delay block, which are connected as follows. The source of the third n-channel transistor is grounded, with its gate connected with the gate of the second n-channel transistor. The source of the fourth n-channel transistor is connected with the drain of the third n-channel transistor, with its drain connected to the output node of the voltage converting buffer circuit and the drains of the second p-channel transistor and the second n-channel transistor. The delay block is connected between the output node of the voltage converting buffer circuit and the gate of the fourth n-channel transistor, for transmitting the level shifted inverted data signal to the gate of the fourth n-channel transistor with a predetermined delay time.

Preferably, the delay time is set longer than a time which is needed for the weaker flip-flop action of the level shifter flip-flop section.

Preferably, the inverter section is composed of a CMOS.

#### DESCRIPTION OF THE PREFERRED EMBODIMENTS

Fig.1 is a circuit diagram showing a voltage converting buffer circuit according to an embodiment of the present invention. The voltage converting buffer circuit of Fig.1 comprises an inverter section 1 and a level shifter flip-flop section 2 in the same way as the conventional voltage converting buffer circuit of Fig.5. The voltage converting buffer circuit of this embodiment further comprises a delayed driving section 3. The delayed driving section 3 is composed of p-channel pull-up MOS transistors M7 and M8, and a delay block 4. The delay block 4 is composed of a chain of inverter gates as shown in Fig.2. Here, each inverter gate may be composed of a CMOS (p-channel and n-channel MOS transistors) inverter which is the same as the inverter section 1.

The inverter section 1 is a CMOS inverter which consists of a p-channel MOS transistor M1 and an n-channel MOS transistor M2. The input node (IN) of the voltage converting buffer circuit is connected to the gates of the p-channel MOS transistor M1 and the n-channel MOS transistor M2, and the source of the p channel MOS transistor M1 is supplied with a power source voltage VCC1, and the source of the n-channel MOS transistor M2 is grounded. The drains of the p-channel MOS transistor M1 and the n-channel MOS transistor M2 are connected together, and the output of the inverter section 1 is supplied to the gate of an n-channel MOS transistor M4 of the level shifter flip-flop section 2. The input node (IN) of the voltage converting buffer circuit is also connected to an n-channel MOS transistor M6 of the level shifter flip-flop section 2.

The level shifter flip-flop section 2 is a current mirror flip-flop latch circuit which consists of a p channel MOS transistor M3, the n-channel MOS transistor M4, a p-channel MOS transistor M5, and the n-channel MOS transistor M6. A power source voltage VCC2 which is independent of the power source voltage VCC1 is supplied to the sources of the p-channel MOS transistors M3 and M5, and the gates of them are connected to



with the drains of the n-channel MOS transistors M6 and M4 respectively.

The drains of the p-channel MOS transistor M3 and the n-channel MOS transistor M4 are connected together. The drains of the p-channel MOS transistor M5 and the n-channel MOS transistor M6 are similarly connected together and they are connected to the output node (OUT) of the voltage inverting buffer circuit. The sources of the n-channel MOS transistors M4 and M6 are grounded.

Here, if driving ability of the p-channel MOS transistor and the n-channel MOS transistor in the level shifter flip-flop section 2 is to be the same (i.e. balanced), the flip-flop action of the level shifter flip-flop section 2 is not easy to occur and the flip-flop action tends to take a long time, or there may be cases where the flip-flop action does not occur. Therefore, unbalance is intentionally introduced into the driving ability of the MOS transistors in the level shifter flip-flop section 2, in which the driving ability of the n-channel MOS transistors M4 and M6 is deliberately designed to be stronger than the driving ability of the p-channel MOS transistors M3 and M5. Concretely the driving ability of a MOS transistor is related to the amount of source-drain current of the MOS transistor, and the driving ability depends on the gate width and the gate length of the MOS transistor. The driving ability gets stronger as the gate width gets wider. Generally, the driving ability of n-channel MOS transistors is stronger than that of p-channel MOS transistors when the gate widths are the same, and thus in order to set the driving ability of the p-channel MOS transistors equal to that of the n-channel MOS transistors, the gate widths of the p-channel MOS transistors and the n-channel MOS transistors are set approximately 2:1 (for example,  $10\ \mu\text{m}$  and  $5\ \mu\text{m}$ ). Therefore, in this embodiment, the driving ability of the n-channel MOS transistors M4 and M6 is set stronger than that of the p-channel MOS transistors M3 and M5, by setting the gate widths of

the p-channel MOS transistors and the n-channel MOS transistors at  $6\mu\text{m}$  and  $5\mu\text{m}$  respectively, for example.

In the delayed driving section 3, the source of the p-channel MOS transistor M7 is supplied with the power source voltage VCC2. The gate of the p-channel MOS transistor M7 is connected with the gate of the p-channel MOS transistor M5. The drain of the p-channel MOS transistor M7 is connected to the source of the p-channel MOS transistor M8, and the drain of the p-channel MOS transistor M8 is connected to the output of the level shifter flip-flop section 2 (i.e. the junction between the drains of the p-channel MOS transistor M5 and the n-channel MOS transistor M6) and the output node (OUT) of the voltage converting buffer circuit.

The delay block 4 is placed between the output node (OUT) and the gate of the p-channel MOS transistor M8, in order to transmit the output of the level shifter flip-flop section 2 to the gate of the p-channel MOS transistor M8 with a predetermined delay time.

In the following, the operation of the voltage converting buffer circuit of Fig.1 will be described.

When the input node (IN) is at a HIGH level, the gate of the p-channel MOS transistor M1 is OFF and the gate of the n-channel MOS transistor M2 is ON, thereby the output of the inverter section 1 is kept at a LOW level. Thus, the n-channel MOS transistors M4 and M6 are OFF and ON respectively, and accordingly the output node (OUT) is at a LOW level (0V). When the input node (IN) is at a LOW level, the gate of the p-channel MOS transistor M1 is ON and the gate of the n-channel MOS transistor M2 is OFF, thereby the output of the inverter section 1 is kept at a HIGH level. Thus, the n-channel MOS transistors M4 and M6 are ON and OFF respectively. Accordingly, the gate of the p-channel MOS transistor M5 is at a LOW level and ON, and thus the output node (OUT) is at a HIGH level (VCC2). As above, the input data signal at the input node (IN) is

inverted by the inverter section 1 and the level of the signal is shifted according to the power source voltage VCC2 by the level shifter flip-flop section 2.

When LOW to HIGH data transition occurs at the input node (IN), the n-channel MOS transistor M2 turns ON which in turn pulls the gate of the n-channel MOS transistor M4 OFF. At the same time, the n-channel MOS transistor M6 is turned ON and pulls the output node (OUT) LOW. Simultaneously, the p-channel MOS transistor M3 is turned ON pulling the node A in Fig.1 HIGH. Thus, both the p-channel MOS transistor M5 and M7 are turned OFF. After this, the LOW level of the output node (OUT) is transmitted through the delay block 4 and turns the p-channel MOS transistor M8 ON. As described above, HIGH to LOW data transition at the output node (OUT) according to the LOW to HIGH data transition at the input node (IN) occurs in the same way as the conventional voltage converting buffer circuit of Fig.5.

When HIGH to LOW data transition occurs at the input node (IN), the p-channel MOS transistor M1 turns ON, and the n-channel MOS transistors M2 and M6 turn OFF. Thus, the p-channel MOS transistor M1 pulls the n-channel MOS transistor M4 ON, which then turns the p-channel MOS transistors M5 and M7 ON. This is the only time when the p-channel MOS transistors M5, M7 and M8 are all ON at the same time. Then, the combined driving power of the p channel MOS transistors M5, M7 and M8 pulls the output node (OUT) to a HIGH level very quickly. After this, the HIGH level of the output node (OUT) is transmitted through the delay block 4 and turns the p-channel MOS transistor M8 OFF. As described above, LOW to HIGH data transition at the output node (OUT) according to the HIGH to LOW data transition at the input node (IN) is made much quicker in comparison with the conventional voltage converting buffer circuit of Fig.5 as shown in Fig.3.

As shown above, according to the embodiment, is the unbalanced voltage converting buffer circuit comprising the CMOS inverter section 1 and the level shifter flip-flop section 2 into which the unbalance of the driving ability is introduced so that the driving ability of the n-channel MOS transistors N4 and N6 will become stronger than that of the p-channel MOS transistors N3 and N5. The LOW to HIGH data transition at the output node (OUT) is made much quicker by providing the delayed driving section 3 including the delay block 4 and the p-channel pull-up MOS transistors M7 and M8 for assisting the LOW to HIGH output data transition, thereby high speed flip-flop action of the level shifter flip-flop section 2 with respect to both HIGH to LOW data transition and LOW to HIGH data transition of the input data signal is realized.

Fig.4 is a circuit diagram showing a voltage converting buffer circuit according to the second embodiment of the present invention. The voltage converting buffer circuit of Fig.4 comprises an inverter section 1 and a level shifter flip-flop section 2', and a delayed driving section 3'. The delayed driving section 3' is composed of n-channel pull-down MOS transistors M17 and M18, and a delay block 4. The delay block 4 is composed of a chain of inverter gates in the same way as that of the first embodiment.

The inverter section 1 is a CMOS inverter which has the same composition as that of the first embodiment. In the second embodiment, the output of the inverter section 1 is supplied to the gate of a p-channel MOS transistor M13 of the level shifter flip-flop section 2'. The input node (IN) of the voltage converting buffer circuit is connected to a p-channel MOS transistor M15 of the level shifter flip-flop section 2'.

The level shifter flip flop section 2' is a current mirror flip-flop latch circuit and consists of the p-channel MOS transistor M13, an

n-channel MOS transistor M14, the p-channel MOS transistor M13, and an n-channel MOS transistor M16. A power source voltage VCC2 which is independent of the power source voltage VCC1 of the inverter section 1 is supplied to the sources of the p-channel MOS transistors M12 and M15. The gates of the p-channel MOS transistors M13 and M15 are supplied with the output and the input of the inverter section 1 respectively, as mentioned above. The drains of the p-channel MOS transistor M12 and the n-channel MOS transistor M14 are connected together. The drains of the p-channel MOS transistor M15 and the n-channel MOS transistor M16 are similarly connected together and they are connected to the output node (OUT) of the voltage converting buffer circuit. The gates of the n-channel MOS transistors M14 and M16 are connected with the drains of the p-channel MOS transistors M15 and M13, respectively. The sources of the n-channel MOS transistors M14 and M16 are grounded.

Here, similarly to the first embodiment, unbalance is intentionally introduced into the driving ability of the MOS transistors in the level shifter flip-flop section 2', in which the driving ability of the p-channel MOS transistors M13 and M15 is deliberately designed to be stronger than that of the n-channel MOS transistors M14 and M16. Concretely such unbalance can be realized by setting the gate widths of the p-channel MOS transistors and the n-channel MOS transistors at  $10\ \mu\text{m}$  and  $2\ \mu\text{m}$  respectively, for example.

In the delayed driving section 3', the source of the n-channel MOS transistor M17 is grounded. The gate of the n-channel MOS transistor M17 is connected with the gate of the n-channel MOS transistor M16. The drain of the n-channel MOS transistor M17 is connected to the source of the n-channel MOS transistor M18, and the drain of the n-channel MOS transistor M18 is connected to the output of the level shifter flip-flop section 2' (i.e. the junction between the drains of the p-channel MOS

transistor M15 and the n-channel MOS transistor M16) and the output node (OUT) of the voltage converting buffer circuit. The delay block 4 is placed between the output node (OUT) and the gate of the n-channel MOS transistor M18, in order to transmit the output of the level shifter flip-flop section 2' to the gate of the n-channel MOS transistor M18 with a predetermined delay time.

In the following, the operation of the voltage converting buffer circuit of Fig. 4 will be described.

When the input node (IN) is at a HIGH level, the gate of the p-channel MOS transistor M1 is OFF and the gate of the n-channel MOS transistor M2 is ON, thereby the output of the inverter section 1 is kept at a LOW level. Thus, the p-channel MOS transistors M13 and M15 are ON and OFF respectively. Accordingly, the gate of the n-channel MOS transistor M16 is at a HIGH level and ON, and thus the output node (OUT) is at a LOW level (0V).

When the input node (IN) is at a LOW level, the gate of the p-channel MOS transistor M1 is ON and the gate of the n-channel MOS transistor M2 is OFF, thereby the output of the inverter section 1 is kept at a HIGH level. Thus, the p-channel MOS transistors M13 and M15 are OFF and ON respectively, and accordingly the output node (OUT) is at a HIGH level (VCC2). As above, the input data signal at the input node (IN) is inverted by the inverter section 1 and the level of the signal is shifted according to the power source voltage VCC2 by the level shifter flip-flop section 2.

When HIGH to LOW data transition occurs at the input node (IN), the p-channel MOS transistor M1 turns ON which in turn pulls the gate of the p-channel MOS transistor M13 OFF. At the same time, the p-channel MOS transistor M15 is turned ON and pulls the output node (OUT) HIGH. Simultaneously, the n-channel MOS transistor M14 is turned ON pulling at

the node A in Fig.4 LOW. Thus, both the n-channel MOS transistors M16 and M17 are turned OFF. After this, the HIGH level of the output node (OUT) is transmitted through the delay block 4 and turns the n-channel MOS transistor M18 ON. As described above, LOW to HIGH data transition occurs at the output node (OUT) according to the HIGH to LOW data transition at the input node (IN).

When LOW to HIGH data transition occurs at the input node (IN), the n-channel MOS transistor M2 turns ON, and the p-channel MOS transistors M1 and M15 turn OFF. Thus, the n-channel MOS transistor M2 pulls the p-channel MOS transistor M13 ON, which then turns the n-channel MOS transistors M16 and M17 ON. This is the only time when the n-channel MOS transistors M16, M17 and M18 are all ON at the same time. Then, the combined driving power of the n-channel MOS transistors M16, M17 and M18 pulls the output node (OUT) to a LOW level very quickly. After this, the LOW level of the output node (OUT) is transmitted through the delay block 4 and turns the n-channel MOS transistor M18 OFF. As described above, HIGH to LOW data transition at the output node (OUT) according to the LOW to HIGH data transition at the input node (IN) is made much quicker in comparison with the case where the voltage converting buffer circuit is not provided with the delayed driving section 3'.

As shown above, according to the second embodiment, in the unbalanced voltage converting buffer circuit comprising the CMOS inverter section 1 and the level shifter flip-flop section 2' into which the unbalance of the driving ability is introduced so that the driving ability of the p-channel MOS transistors M13 and M15 will become stronger than that of the n-channel MOS transistors M14 and M16, the HIGH to LOW data transition at the output node (OUT) is made much quicker by providing the delayed driving section 3' including the delay block 4 and the n-channel pull-down MOS transistors M17 and M18 for assisting the HIGH to LOW output

t data transition, thereby high speed flip-flop action of the level shifter flip-flop section 2' with respect to both HIGH to LOW data transition and LOW to HIGH data transition of the input data is realized.

#### Effects of the invention

As set forth hereinabove, in the voltage converting buffer circuit according to the present invention, the resultant problems of the conventional unbalanced voltage converting buffer circuit is resolved, and high speed data transition at the output node of the voltage converting buffer circuit is realized with respect to both HIGH to LOW data transition and LOW to HIGH data transition at the input node of the voltage converting buffer circuit.

While the present invention has been described with reference to the particular illustrative embodiments, it is not to be restricted by those embodiments but only by the appended claims. It is to be appreciated that those skilled in the art can change or modify the embodiments without departing from the scope and spirit of the present invention.

#### 4 Brief Description of Drawings

Fig.1 is a circuit diagram showing a voltage converting buffer circuit according to an embodiment of the present invention.

Fig.2 is a circuit diagram showing composition of a delayed driving section in the voltage converting buffer circuit of Fig.1.

Fig.3 is a timing chart showing the input and the output of the voltage converting buffer circuit of Fig.1.

Fig.4 is a circuit diagram showing a voltage converting buffer circuit according to the second embodiment of the present invention.

Fig.5 is a circuit diagram showing a generally used conventional voltage converting buffer circuit.



Fig.6 is a timing chart showing the input and the output of the conventional voltage converting buffer circuit of Fig.5.

Description of Reference Characters

1 inverter section

2, 2' level shifter flip-flop section

3, 3' delayed driving section

4 delay block

M1, M3, M5, M7, M8, M13, M15 p-channel MOS transistor

M2, M4, M6, M14, M16, M17, M18 n-channel MOS transistor

(IN) input node

(OUT) output node

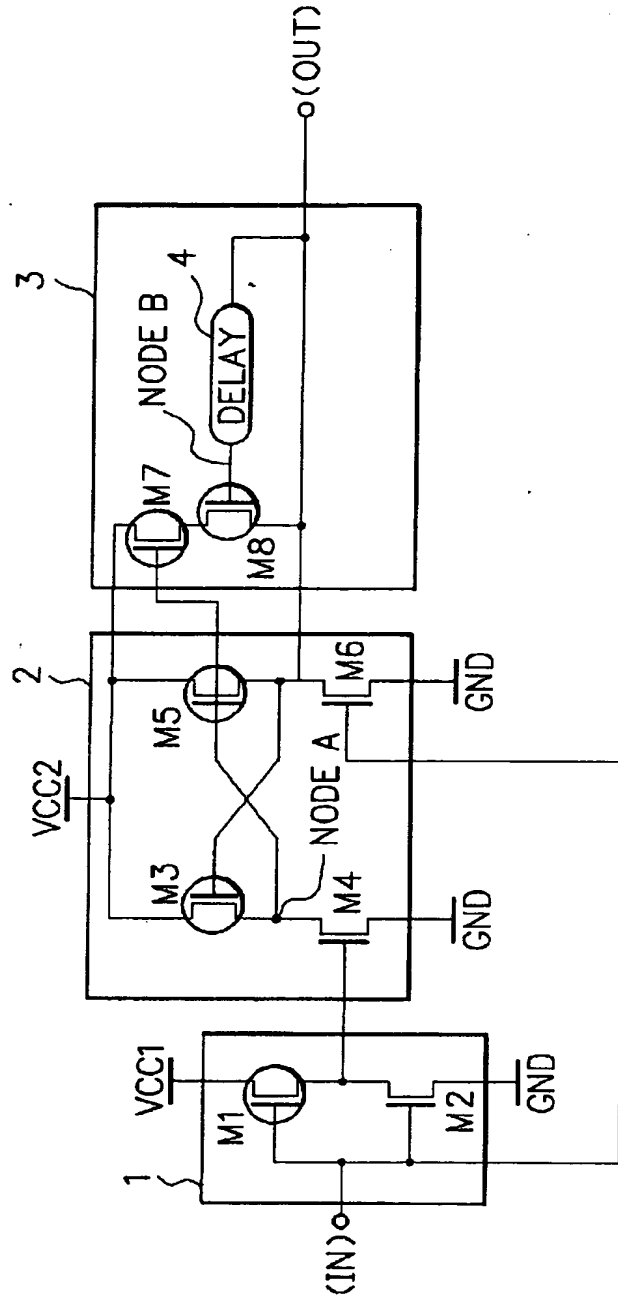


FIG. 1



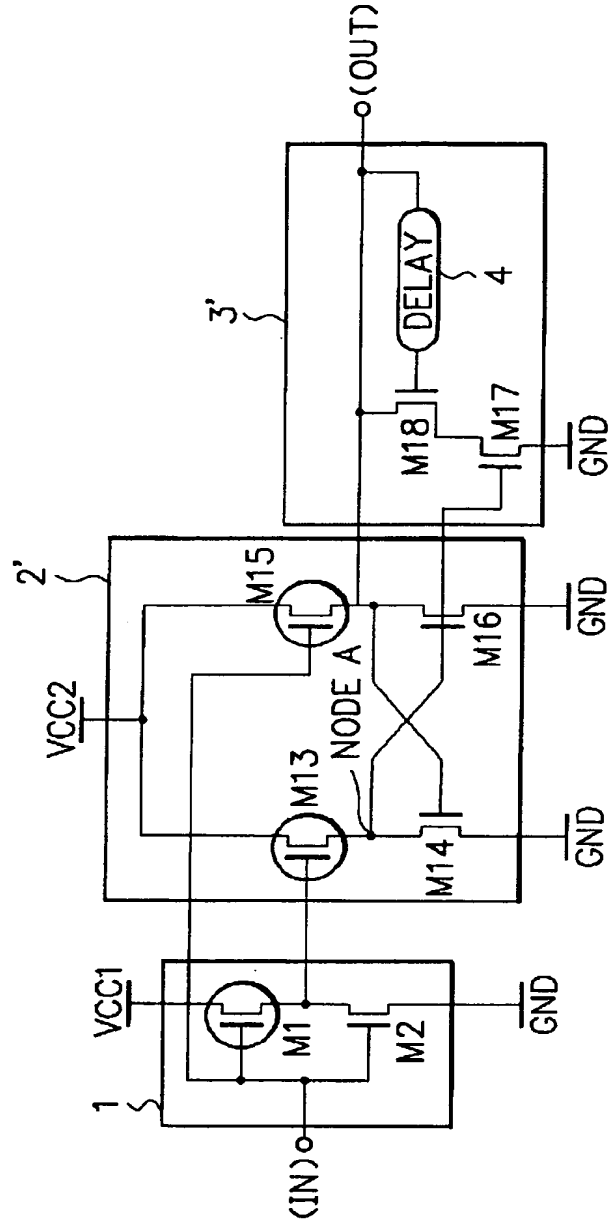


FIG. 4

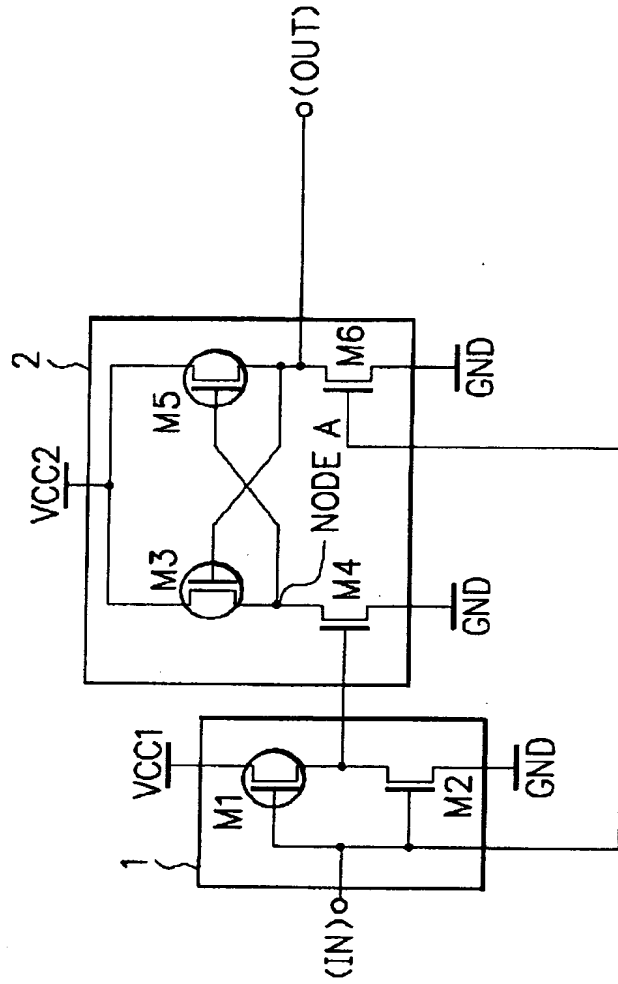


FIG. 5

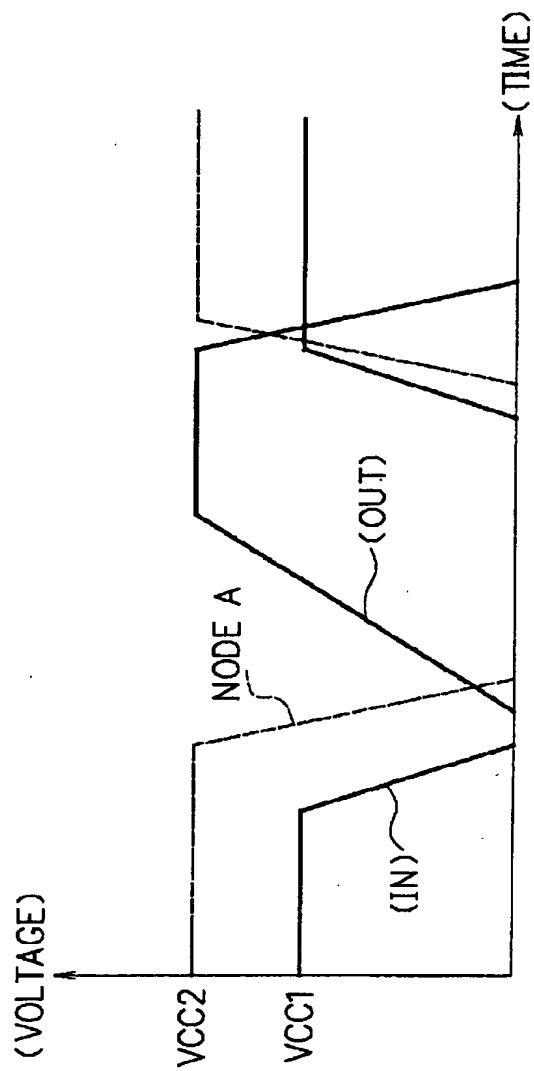


FIG. 6

## 1 Abstract

A voltage converting buffer circuit comprises an inverter section 1, a level shifter flip-flop section 2, and a delayed driving section 3. The inverter section 1 inverts data signals which are supplied to an input node (IN). The level shifter flip-flop section 2 is composed of a current mirror flip-flop latch circuit including two p-channel MOS transistors M3, M5 and two n-channel MOS transistors M4, M6. The level shifter flip-flop section 2 receives the data signal and the inverted data signal simultaneously, shifts the voltage level of the inverted data signal, and outputs the level shifted inverted data signal. In the level shifter flip-flop section 2, unbalance is introduced into driving ability so that the driving ability of the n-channel MOS transistors M4, M6 will be stronger than that of the p-channel MOS transistors M3, M5 in the same way as the conventional circuit. The delayed driving section 3 includes a delay block 4 and p-channel MOS transistors M7 and M8. The delayed driving section assists driving ability of the weaker p-channel MOS transistors M3, M5 and assists weaker flip-flop action of the level shifter flip-flop section 2 which has been made weaker due to the unbalance, thereby LOW to HIGH data transition at the output node (OUT) is made much quicker in comparison with the conventional circuit.

## 2 Representative Drawing

Fig.1